

日本国特許庁
JAPAN PATENT OFFICE

502 P 0146 US
J1040 U.S. Pat.
10/082576

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 2月27日

出願番号

Application Number:

特願2001-052197

出願人

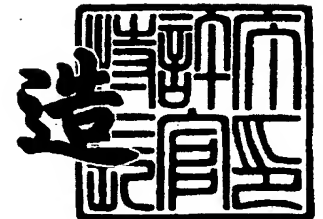
Applicant(s):

ソニー株式会社

2001年12月14日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3108583

【書類名】 特許願

【整理番号】 0000491904

【提出日】 平成13年 2月27日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H01L 21/88

【発明者】

 【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

 【氏名】 青山 純一

【特許出願人】

 【識別番号】 000002185

 【氏名又は名称】 ソニー株式会社

【代理人】

 【識別番号】 100082762

 【弁理士】

 【氏名又は名称】 杉浦 正知

 【電話番号】 03-3980-0339

【手数料の表示】

 【予納台帳番号】 043812

 【納付金額】 21,000円

【その他】 国等の委託研究の成果に係る特許出願（平成12年度新エネルギー・産業技術総合開発機構「電子デバイス製造プロセスで使用するエッチングガスの代替ガス・システム及び代替プロセスの研究開発」委託研究、産業活力再生特別措置法第30条の適用を受けるもの）

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【包括委任状番号】 9708843

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 絶縁膜に形成された溝に埋め込まれた第 1 の導電層上に接続柱を介して第 2 の導電層が接続されている半導体装置において、

上記第 1 の導電層上に上記接続柱が成長ガイドを用いることなく上記第 1 の導電層に対して自己整合的に形成されている

ことを特徴とする半導体装置。

【請求項 2】 上記第 1 の導電層は Al、Cu、Au または Ag からなることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 上記第 1 の導電層は Al 合金、Cu 合金、Au 合金または Ag 合金からなる

ことを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 上記接続柱は Al、Cu、Au または Ag からなることを特徴とする請求項 1 記載の半導体装置。

【請求項 5】 上記接続柱は Al 合金、Cu 合金、Au 合金または Ag 合金からなる

ことを特徴とする請求項 1 記載の半導体装置。

【請求項 6】 上記第 1 の導電層および上記接続柱は互いに同一の金属または合金からなる

ことを特徴とする請求項 1 記載の半導体装置。

【請求項 7】 上記第 1 の導電層および上記接続柱は互いに結晶学的に整合している

ことを特徴とする請求項 1 記載の半導体装置。

【請求項 8】 上記第 1 の導電層および上記接続柱は面心立方構造を有する互いに同一の金属またはその合金からなり、

上記第 1 の導電層および上記接続柱は $\langle 111 \rangle$ 優先配向を有する

ことを特徴とする請求項 1 記載の半導体装置。

【請求項 9】 上記第 1 の導電層は下層配線であり、上記第 2 の導電層は上

層配線である

ことを特徴とする請求項 1 記載の半導体装置。

【請求項 10】 絶縁膜に形成された溝に埋め込まれた第 1 の導電層上に接続柱を介して第 2 の導電層が接続されている半導体装置において、

上記絶縁膜および上記第 1 の導電層上に上記第 1 の導電層の幅よりも幅が広い開口部を有する成長抑制膜が形成されており、

上記成長抑制膜の上記開口部の内部における上記第 1 の導電層上に上記接続柱が上記第 1 の導電層に対して自己整合的に形成されている

ことを特徴とする半導体装置。

【請求項 11】 上記第 1 の導電層は Al、Cu、Au または Ag からなることを特徴とする請求項 10 記載の半導体装置。

【請求項 12】 上記第 1 の導電層は Al 合金、Cu 合金、Au 合金または Ag 合金からなる

ことを特徴とする請求項 10 記載の半導体装置。

【請求項 13】 上記接続柱は Al、Cu、Au または Ag からなることを特徴とする請求項 10 記載の半導体装置。

【請求項 14】 上記接続柱は Al 合金、Cu 合金、Au 合金または Ag 合金からなる

ことを特徴とする請求項 10 記載の半導体装置。

【請求項 15】 上記第 1 の導電層および上記接続柱は互いに同一の金属または合金からなる

ことを特徴とする請求項 10 記載の半導体装置。

【請求項 16】 上記第 1 の導電層および上記接続柱は互いに結晶学的に整合している

ことを特徴とする請求項 10 記載の半導体装置。

【請求項 17】 上記第 1 の導電層および上記接続柱は面心立方構造を有する互いに同一の金属またはその合金からなり、

上記第 1 の導電層および上記接続柱は $\langle 111 \rangle$ 優先配向を有する

ことを特徴とする請求項 10 記載の半導体装置。

【請求項 1 8】 上記成長抑制膜は酸化シリコン膜、窒化シリコン膜または酸化アルミニウム膜からなる

ことを特徴とする請求項 1 0 記載の半導体装置。

【請求項 1 9】 上記第 1 の導電層は下層配線であり、上記第 2 の導電層は上層配線である

ことを特徴とする請求項 1 0 記載の半導体装置。

【請求項 2 0】 絶縁膜に形成された溝に埋め込まれた第 1 の導電層上に接続柱を介して第 2 の導電層が接続されている半導体装置の製造方法において、

上記絶縁膜に形成された溝に埋め込まれた上記第 1 の導電層を形成し、

上記第 1 の導電層上に上記接続柱を成長ガイドを用いることなく上記第 1 の導電層に対して自己整合的に形成する

ことを特徴とする半導体装置の製造方法。

【請求項 2 1】 選択 C V D 法により上記接続柱を形成するようにしたことを特徴とする請求項 2 0 記載の半導体装置の製造方法。

【請求項 2 2】 上記第 1 の導電層は A l、C u、A u または A g からなることを特徴とする請求項 2 0 記載の半導体装置の製造方法。

【請求項 2 3】 上記第 1 の導電層は A l 合金、C u 合金、A u 合金または A g 合金からなる

ことを特徴とする請求項 2 0 記載の半導体装置の製造方法。

【請求項 2 4】 上記接続柱は A l、C u、A u または A g からなることを特徴とする請求項 2 0 記載の半導体装置の製造方法。

【請求項 2 5】 上記接続柱は A l 合金、C u 合金、A u 合金または A g 合金からなる

ことを特徴とする請求項 2 0 記載の半導体装置の製造方法。

【請求項 2 6】 上記第 1 の導電層および上記接続柱は互いに同一の金属または合金からなる

ことを特徴とする請求項 2 0 記載の半導体装置の製造方法。

【請求項 2 7】 上記第 1 の導電層および上記接続柱は互いに結晶学的に整合している

ことを特徴とする請求項 2 0 記載の半導体装置の製造方法。

【請求項 2 8】 上記第 1 の導電層および上記接続柱は面心立方構造を有する互いに同一の金属またはその合金からなり、

上記第 1 の導電層および上記接続柱は $\langle 111 \rangle$ 優先配向を有する

ことを特徴とする請求項 2 0 記載の半導体装置の製造方法。

【請求項 2 9】 上記第 1 の導電層は下層配線であり、上記第 2 の導電層は上層配線である。

ことを特徴とする請求項 2 0 記載の半導体装置の製造方法。

【請求項 3 0】 絶縁膜に形成された溝に埋め込まれた第 1 の導電層上に接続柱を介して第 2 の導電層が接続されている半導体装置の製造方法において、

上記絶縁膜に形成された溝に埋め込まれた上記第 1 の導電層を形成し、

上記絶縁膜および上記第 1 の導電層上に上記第 1 の導電層の幅よりも幅が広い開口部を有する成長抑制膜を形成し、

上記成長抑制膜の上記開口部の内部における上記第 1 の導電層上に上記接続柱を上記第 1 の導電層に対して自己整合的に形成する

ことを特徴とする半導体装置の製造方法。

【請求項 3 1】 選択 C V D 法により上記接続柱を形成するようにした

ことを特徴とする請求項 3 0 記載の半導体装置の製造方法。

【請求項 3 2】 上記第 1 の導電層は A l、C u、A u または A g からなることを特徴とする請求項 3 0 記載の半導体装置の製造方法。

【請求項 3 3】 上記第 1 の導電層は A l 合金、C u 合金、A u 合金または A g 合金からなる

ことを特徴とする請求項 3 0 記載の半導体装置の製造方法。

【請求項 3 4】 上記接続柱は A l、C u、A u または A g からなる

ことを特徴とする請求項 3 0 記載の半導体装置の製造方法。

【請求項 3 5】 上記接続柱は A l 合金、C u 合金、A u 合金または A g 合金からなる

ことを特徴とする請求項 3 0 記載の半導体装置の製造方法。

【請求項 3 6】 上記第 1 の導電層および上記接続柱は互いに同一の金属ま

たは合金からなる

ことを特徴とする請求項 3 0 記載の半導体装置の製造方法。

【請求項 3 7】 上記第 1 の導電層および上記接続柱は互いに結晶学的に整合している

ことを特徴とする請求項 3 0 記載の半導体装置の製造方法。

【請求項 3 8】 上記第 1 の導電層および上記接続柱は面心立方構造を有する互いに同一の金属またはその合金からなり、

上記第 1 の導電層および上記接続柱は $\langle 111 \rangle$ 優先配向を有する

ことを特徴とする請求項 3 0 記載の半導体装置の製造方法。

【請求項 3 9】 上記成長抑制膜は酸化シリコン膜、窒化シリコン膜または酸化アルミニウム膜からなる

ことを特徴とする請求項 3 0 記載の半導体装置の製造方法。

【請求項 4 0】 上記第 1 の導電層は下層配線であり、上記第 2 の導電層は上層配線である

ことを特徴とする請求項 3 0 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、半導体装置およびその製造方法に関し、特に、上層配線と下層配線とを接続柱を介して接続する半導体装置に適用して好適なものである。

【0 0 0 2】

【従来の技術】

シリコン半導体集積回路装置等の半導体装置において上層配線と下層配線とを接続柱を介して接続するために現在用いられている主流の技術においては、下層配線を覆う層間絶縁膜を形成し、この層間絶縁膜にビアホール（接続孔）を形成した後、このビアホール内にスパッタリング法、CVD法、鍍金法等により金属を埋め込んで接続柱を形成する。最近銅配線で注目されているいわゆるデュアルダマシン法も、ビアホールと配線溝とを同時に埋め込む点が異なるだけで、この範疇に属する技術である。また、過去に、層間絶縁膜の形成前に接続柱を形成す

るピラー法が提案されたが、この技術はリフトオフ法やエッチング法により接続柱を形成するもので、深いホール形成が困難であった時代の代替技術にすぎない。

【0003】

【発明が解決しようとする課題】

しかしながら、上述した従来の接続柱の形成方法のうち、主流の技術においては、層間絶縁膜としてSi酸化膜系のものを使用し続けたとしてもビアホール径の縮小およびビアホールのアスペクト比の増大とともに金属の埋め込みが困難となり、また、密着性の向上や膜成長のために下地膜が必要な場合は、その膜厚をビアホール径に比例して薄膜化することが極めて困難であり、低抵抗率の金属を用いてもビアホール部で配線抵抗の急激な増大を招くことになる。更に、層間絶縁膜を低誘電率膜に切り替えていく場合は、いわゆるポイズンド・ビア（層間絶縁膜の側壁からのアウトガスによりスパッタリング法やCVD法等による金属の埋め込み不良が発生する現象）の抑制がSi酸化膜系の層間絶縁膜を用いたとき以上に困難となり、また、低誘電率膜の種類が代わる度にその抑制方法も見直しをしなければならないという不都合が生じる。

【0004】

また、上述の従来のピラー法は、リフトオフ法を用いる場合においては、リフトオフ膜がレジスト、埋め込み方法が鍍金（したがってAlのような金属は普通の方法では不可）に限定されてしまい、結局、埋め込み対象が異なるだけで上記の課題の解決になっていない。また、エッチング法を用いる場合においては、基板全面に金属膜を形成した後にこれをエッチングすることにより接続柱を形成するが、この方法では接続柱を下層配線と接続するために2回のマスク合わせ（一回目のマスク合わせは下層配線上の層間絶縁膜に開口を形成するためのリソグラフィ工程におけるもの、二回目のマスク合わせは全面に形成した金属膜をエッチングして接続柱を形成するためのリソグラフィ工程におけるもの）が必要となるため、これらのマスク合わせずれによる不良が発生し、配線工程の歩留まり低下を招く。

【0005】

したがって、この発明が解決しようとする課題は、従来技術が有する上述の課題を一挙に解決し、従来技術におけるような金属の埋め込みの困難さや埋め込みに伴う問題を回避することができ、ポイズンド・ビアの問題もなく、マスク合わせずれによる配線不良の問題もなく、これによって配線工程の歩留まりおよび信頼性の向上を図ることができる半導体装置およびその製造方法を提供することにある。

【0006】

【課題を解決するための手段】

本発明者は、従来技術が有する上記課題を解決すべく鋭意検討を行った結果、上記課題を解決するためには下記の条件が重要であることを見出し、この知見に基づいてさらに検討を行った結果この発明を案出するに至ったものである。

【0007】

(1) 下層の配線パターンにおいて、上層の配線パターンと接続する部分に接続柱を形成する際に、ビアホールやリフトオフ用のレジスト等の成長ガイドなしに形成する。

(2) 下層の配線パターンにおいて、上層の配線パターンと接続する部分に接続柱を形成する際に、下層の配線パターンに自己整合的に、結晶学的に整合のとれた状態で接続柱を形成する。

(3) 接続柱を成長ガイドなしに形成する方法として、下層配線上の接続柱形成部にのみ金属膜をCVD法等により特定の方向に針状に成長させる。

(4) 接続柱を下層配線に自己整合的に形成する方法として、下層配線のうち接続柱を成長させたくない部分を成長抑制膜で覆い、(3)で述べた成長法により接続柱を形成する。

(5) 下層配線の材料として面心立方構造の金属であるAl、Cu、Au、Ag等を用いる。

(6) 配線のパターン面に垂直方向を $\langle 111 \rangle$ 等の特定方位にする配線の成長方法やアニール方法を採用する。

(7) 成長抑制膜として酸化シリコン(SiO_2)膜、窒化シリコン(SiN)膜、酸化アルミニウム(Al_2O_3)膜等を用い、特に接続柱をAlで形成する

場合には酸化アルミニウム (Al_2O_3) 膜を用いるのが望ましい。

(8) 接続柱の材料として面心立方構造の金属である Al、Cu、Au、Ag 等を用いる。

【0008】

すなわち、上記課題を解決するために、この発明の第1の発明は、

絶縁膜に形成された溝に埋め込まれた第1の導電層上に接続柱を介して第2の導電層が接続されている半導体装置において、

第1の導電層上に接続柱が成長ガイドを用いることなく第1の導電層に対して自己整合的に形成されている

ことを特徴とするものである。

【0009】

この発明の第2の発明は、

絶縁膜に形成された溝に埋め込まれた第1の導電層上に接続柱を介して第2の導電層が接続されている半導体装置において、

絶縁膜および第1の導電層上に第1の導電層の幅よりも幅が広い開口部を有する成長抑制膜が形成されており、

成長抑制膜の開口部の内部における第1の導電層上に接続柱が第1の導電層に対して自己整合的に形成されている

ことを特徴とするものである。

【0010】

この発明の第3の発明は、

絶縁膜に形成された溝に埋め込まれた第1の導電層上に接続柱を介して第2の導電層が接続されている半導体装置の製造方法において、

絶縁膜に形成された溝に埋め込まれた第1の導電層を形成し、

第1の導電層上に接続柱を成長ガイドを用いることなく第1の導電層に対して自己整合的に形成する

ことを特徴とするものである。

【0011】

この発明の第4の発明は、

絶縁膜に形成された溝に埋め込まれた第 1 の導電層上に接続柱を介して第 2 の導電層が接続されている半導体装置の製造方法において、

絶縁膜に形成された溝に埋め込まれた第 1 の導電層を形成し、

絶縁膜および第 1 の導電層上に第 1 の導電層の幅よりも幅が広い開口部を有する成長抑制膜を形成し、

成長抑制膜の開口部の内部における第 1 の導電層上に接続柱を第 1 の導電層に対して自己整合的に形成する

ことを特徴とするものである。

【 0 0 1 2 】

この発明において、第 1 の導電層、接続柱および第 2 の導電層の材料は、必要に応じて選択することができるが、具体例を挙げると、面心立方構造の金属である Al、Cu、Au、Ag 等のほか、それらの合金、すなわち Al 合金、Cu 合金、Au 合金、Ag 合金等である。典型的には、第 1 の導電層および接続柱は互いに同一の金属または合金からなり、好適には、互いに結晶学的に整合している。また、特に、第 1 の導電層および接続柱は、好適には上記のような面心立方構造を有する互いに同一の金属またはその合金からなり、 $\langle 111 \rangle$ 優先配向を有する。典型的には、第 1 の導電層は下層配線であり、第 2 の導電層は上層配線である。

【 0 0 1 3 】

成長ガイドを用いることなく第 1 の導電層上に接続柱を自己整合的に形成する方法としては、例えば、選択 CVD 法を用いることができる。このために用いる成長抑制膜は、例えば酸化シリコン膜、窒化シリコン膜、酸化アルミニウム膜等であり、これらのうちから接続柱に用いる材料等に応じて適切なものが用いられる。特に、接続柱の材料として Al またはその合金を用いる場合には、成長抑制膜としては、好適には酸化アルミニウム膜が用いられる。

【 0 0 1 4 】

上述のように構成されたこの発明によれば、第 1 の導電層上に接続柱を成長ガイドを用いることなくこの第 1 の導電層に対して自己整合的に形成するので、すなわち、接続柱の形成にビアホール等への金属の埋め込みやリソグラフィ工程

におけるマスク合わせ等を用いる必要がないので、これらの埋め込みやマスク合わせ等に伴う種々の問題を回避することができる。これに加えて、第1の導電層上に接続柱を結晶学的に整合のとれた状態で形成することができることにより、第1の導電層に対する接続柱の結合強度が大きく、接続柱の機械的強度の向上を図ることができる。

【 0 0 1 5 】

【発明の実施の形態】

以下、この発明の一実施形態について図面を参照しながら説明する。なお、実施形態の全図において、同一または対応する部分には同一の符号を付す。

図1～図5はこの発明の一実施形態による半導体装置の製造方法を工程順に示す斜視図、図6～図10はそれぞれ図1～図5のA-A線に沿っての断面図である。

【 0 0 1 6 】

この一実施形態による半導体装置の製造方法においては、まず、図1および図6に示すように、あらかじめ素子間分離が行われ、トランジスタ等の必要な素子（図示せず）が形成されたSi基板のような半導体基板1上に、例えばSiO₂膜のような層間絶縁膜2およびこの層間絶縁膜2に形成された溝2a内に埋め込まれた一層目のAl配線3を形成する。このAl配線3の形成は、例えば、いわゆるシングルダマシン法により行うことができる。すなわち、まず、基板全面に層間絶縁膜2を形成した後、この層間絶縁膜2にエッチングにより溝2aを形成する。次に、基板全面にAl膜を形成した後、例えば化学機械研磨（CMP）法により研磨を行って溝2a以外の部分のAl膜を除去する。このようにして、層間絶縁膜2の溝2a内に埋め込まれたAl配線3が形成される。ここで、後のピラー形成を容易かつ良好に行う観点からは、このAl配線3は〈111〉配向性を高めることが重要であり、そのためには、上述のようなダマシンプロセスの場合、CMP法で溝2a以外の部分のAl膜を除去する前に例えば500℃程度の高温でアニールしておくことが有効である。

【 0 0 1 7 】

次に、図2および図7に示すように、基板全面にAl成長抑制膜4を形成した

後、このA1成長抑制膜4の所定部分をエッチング除去して開口部4aを形成する。具体的には、この開口部4aは、その中にピラーを形成する部分のA1配線3が露出する形状および位置に形成する。また、この開口部4aの幅Wは、A1配線3の幅に配線スペースの2分の1未満の値を加えた幅とする。このようにすることにより、隣りのA1配線3とショートすることなく、配線スペースの2分の1未満の合わせずれを許容することができる。すなわち、1本のA1配線3の幅方向の一部を覆うことなく、しかも隣りのA1配線3の一部を露出させることなく、開口部4aを形成することができる。次に、この状態で例えばBCl₃ガスを用いたプラズマ処理を行うことによって、A1配線3の表面に形成されたAl₂O₃（図示せず）を除去し、表面清浄化を行う。ここで、A1成長抑制膜4としては、例えばSiO₂膜、SiN膜、Al₂O₃膜等を用いることができ、好適にはそれらのうちAl₂O₃膜を用いることができ、それらの形成には例えばプラズマCVD法等を用いることができる。以上により、ピラー形成の準備が整ったことになる。

【0018】

次に、以下のようにして、上述の開口部4aの内部に露出したA1配線3上にA1ピラーを形成する。このA1ピラーの形成には基本的には選択A1CVD法を用いるが、ビアホールやリフトオフ用の膜等の成長ガイドがない状態で行うところが、従来と異なる。A1のような面心立方構造の金属の場合、最密充填面である{111}面のステップで成長が起こりやすく、A1表面が露出していてその面積が全面積に対して十分小さいとき、その面を底面とするピラー状の成長が可能となる。

【0019】

また、A1を異方成長（111配向）させるには、反応律速ないしは反応律速に近い条件で成長させることがポイントとなるが、このためには温度を下げて表面反応速度を低下させ、また全圧を下げて拡散速度を増大させることが有効となる。ただし、全面積に対し、ピラーの面積は十分小さいので、原料が供給過剰とならないように分圧を制御することが大切である。また、この際、ピラー密度によるマイクロローディング効果が生ずるが、ピラー上面の面積に対する側面の面

積の比が成長とともに大きくなるので、ピラーの高さは、この効果により抑制されて均一となり、むしろピラー径方向のばらつきの原因となるが、これも原料ガス濃度と膜形成時間との調整により制御することができ、実用上問題のないレベルに抑えることができる。

【0020】

選択A1CVD法によるA1ピラーの形成の具体的な条件の一例を挙げると、次のとおりである。

原料ガス：DMAH（ジメチルアルミハイドライド）／ H_2

全圧：133Pa（1Torr）

分圧：13.3Pa（0.1Torr）以下

成長温度：200℃

【0021】

このようにして、図3および図8に示すように、成長ガイドなしで、A1成長抑制膜4の開口部4aの内部のA1配線3上だけに四角柱状のA1ピラー5がこのA1配線3に対して自己整合的に形成される。このA1ピラー5の寸法の一例を挙げると、A1配線3の幅方向の幅は0.1 μm 、高さは0.2～0.3 μm である。

次に、図4および図9に示すように、基板全面に層間絶縁膜6を形成した後、この層間絶縁膜6を例えばCMP法により研磨して表面平坦化を行い、A1ピラー5の上面を露出させる。

【0022】

次に、図5および図10に示すように、A1ピラー5と接続された二層目のA1配線7を形成する。

以上のような配線形成プロセスを必要な回数だけ繰り返し行うことにより、所望の多層配線を形成する。

【0023】

以上のように、この一実施形態によれば、A1成長抑制膜4の開口部4aに一層目のA1配線3のうちA1ピラーを形成する部分を露出させ、この状態で選択A1CVD法によるA1の成長を行うことにより、成長ガイドを用いることなく

A1ピラー5をA1配線3に対して自己整合的に、しかもこのA1配線3と結晶学的に整合がとれた機械的強度に優れた状態で形成することができ、このA1ピラー5を介して二層目のA1配線7をA1配線3と接続することができる。このため、配線工程の歩留まりおよび信頼性の大幅な向上を図ることができ、ひいては、半導体装置の製造コストの低減および信頼性の向上を図ることができる。また、この一実施形態においては、A1ピラー5の形成にビアホールの埋め込みが不要であるので、高集積化に伴う半導体装置の設計ルールの特小にも十分に対応することができる。

【0024】

以上、この発明の一実施形態について具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

【0025】

例えば、上述の一実施形態において挙げた数値、構造、プロセス等はあくまでも例にすぎず、必要に応じて、これらと異なる数値、構造、プロセス等を用いてもよい。

【0026】

【発明の効果】

以上説明したように、この発明によれば、第1の導電層上に接続柱を成長ガイドを用いることなく第1の導電層に対して自己整合的に形成することにより、従来技術におけるような金属の埋め込みの困難さや埋め込みに伴う問題を回避することができ、ポイズンド・ビアの問題もなく、マスク合わせずれによる配線不良の問題もなく、これによって配線工程の歩留まりおよび信頼性の向上を図ることができる。

【図面の簡単な説明】

【図1】

この発明の一実施形態による半導体装置の製造方法を説明するための斜視図である。

【図2】

この発明の一実施形態による半導体装置の製造方法を説明するための斜視図である。

【図 3】

この発明の一実施形態による半導体装置の製造方法を説明するための斜視図である。

【図 4】

この発明の一実施形態による半導体装置の製造方法を説明するための斜視図である。

【図 5】

この発明の一実施形態による半導体装置の製造方法を説明するための斜視図である。

【図 6】

図 1 の A - A 線に沿っての断面図である。

【図 7】

図 2 の A - A 線に沿っての断面図である。

【図 8】

図 3 の A - A 線に沿っての断面図である。

【図 9】

図 4 の A - A 線に沿っての断面図である。

【図 1 0】

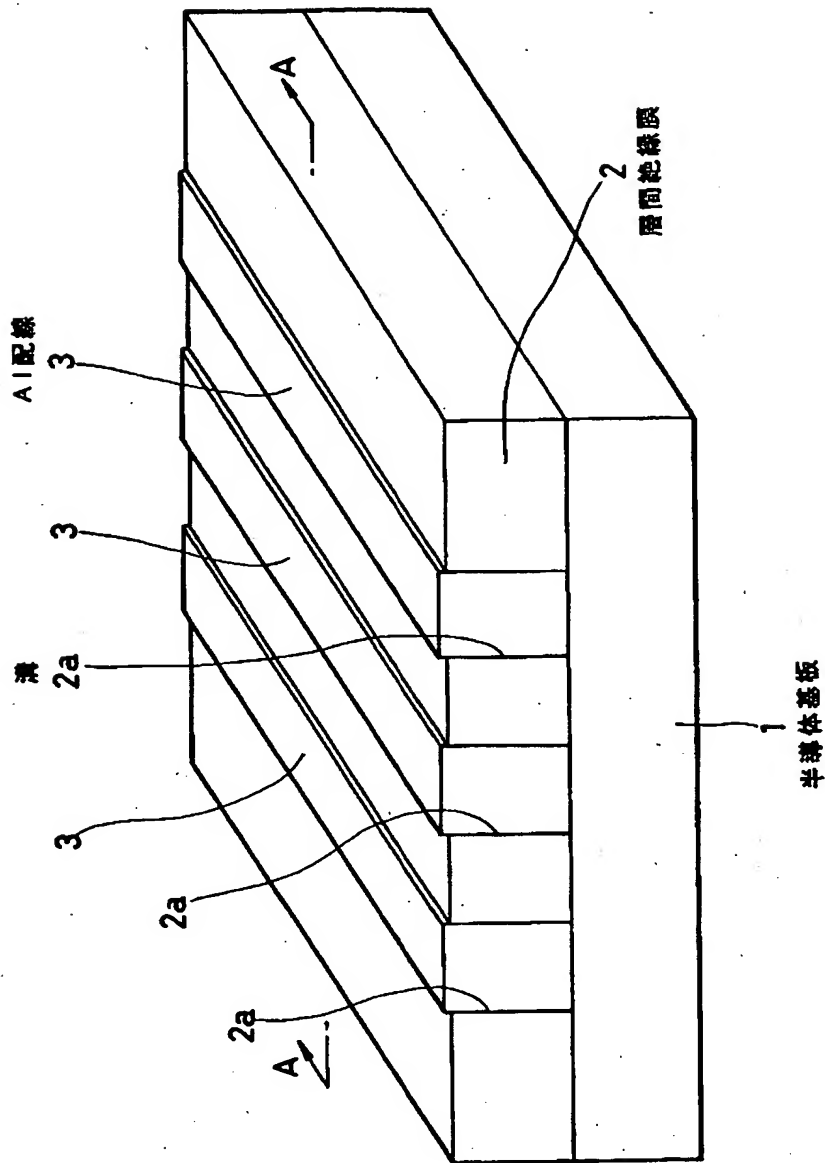
図 5 の A - A 線に沿っての断面図である。

【符号の説明】

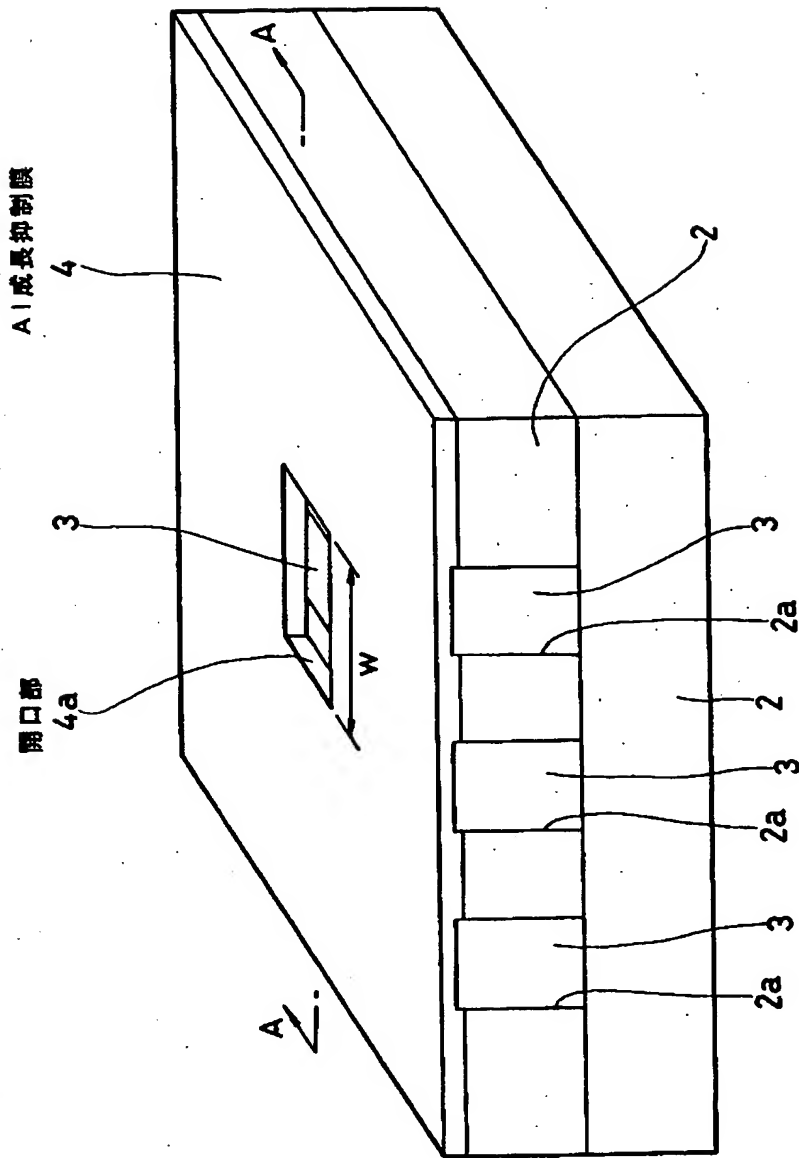
1 . . . 半導体基板、2、6 . . . 層間絶縁膜、2 a . . . 溝、3、7 . . . A l 配線、4 . . . A l 成長抑制膜、4 a . . . 開口部、5 . . . A l ピラー

【書類名】 図面

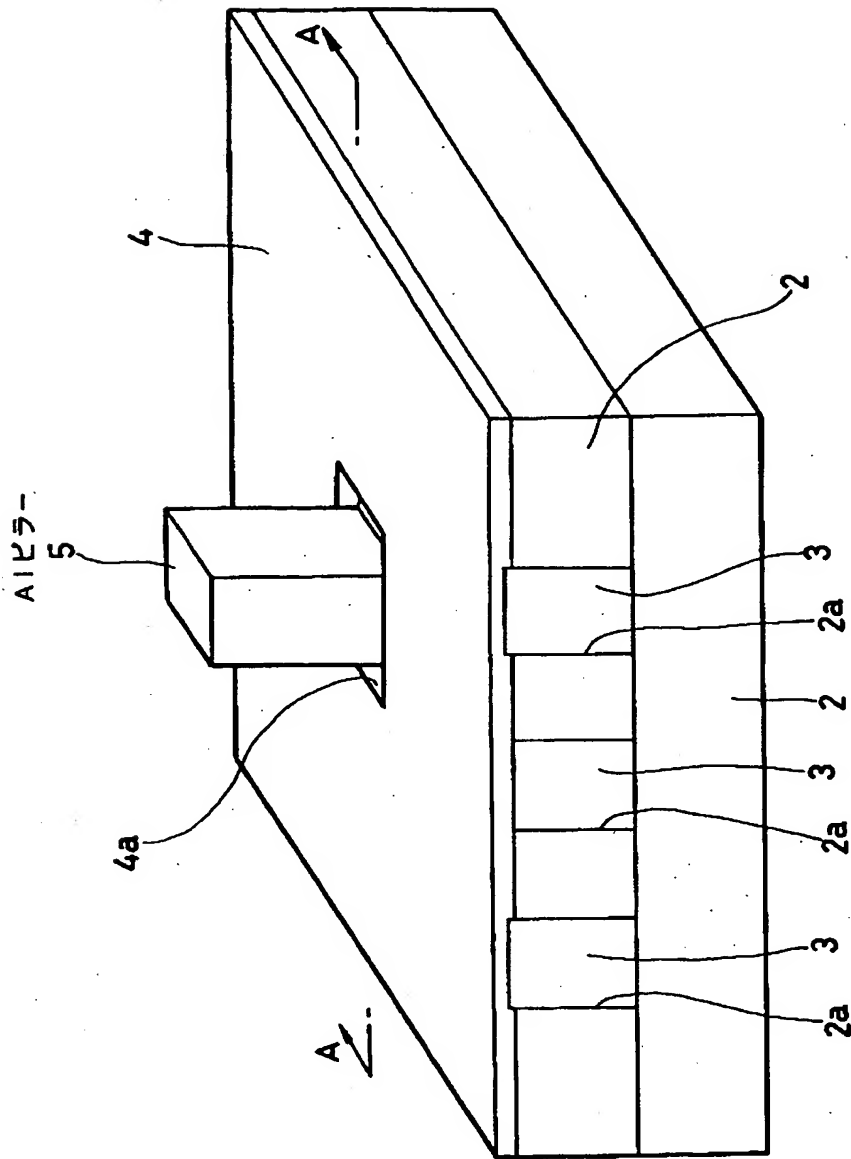
【図1】



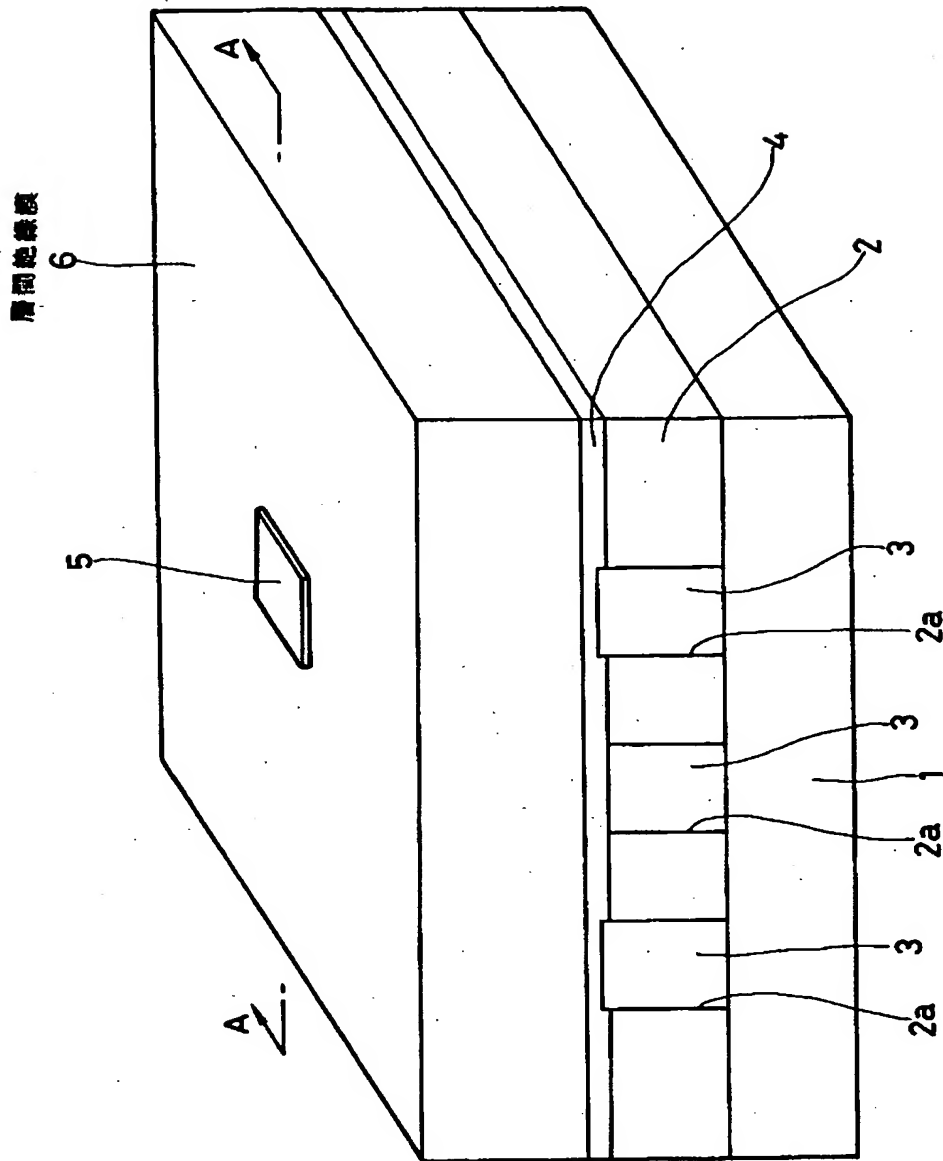
【図 2】



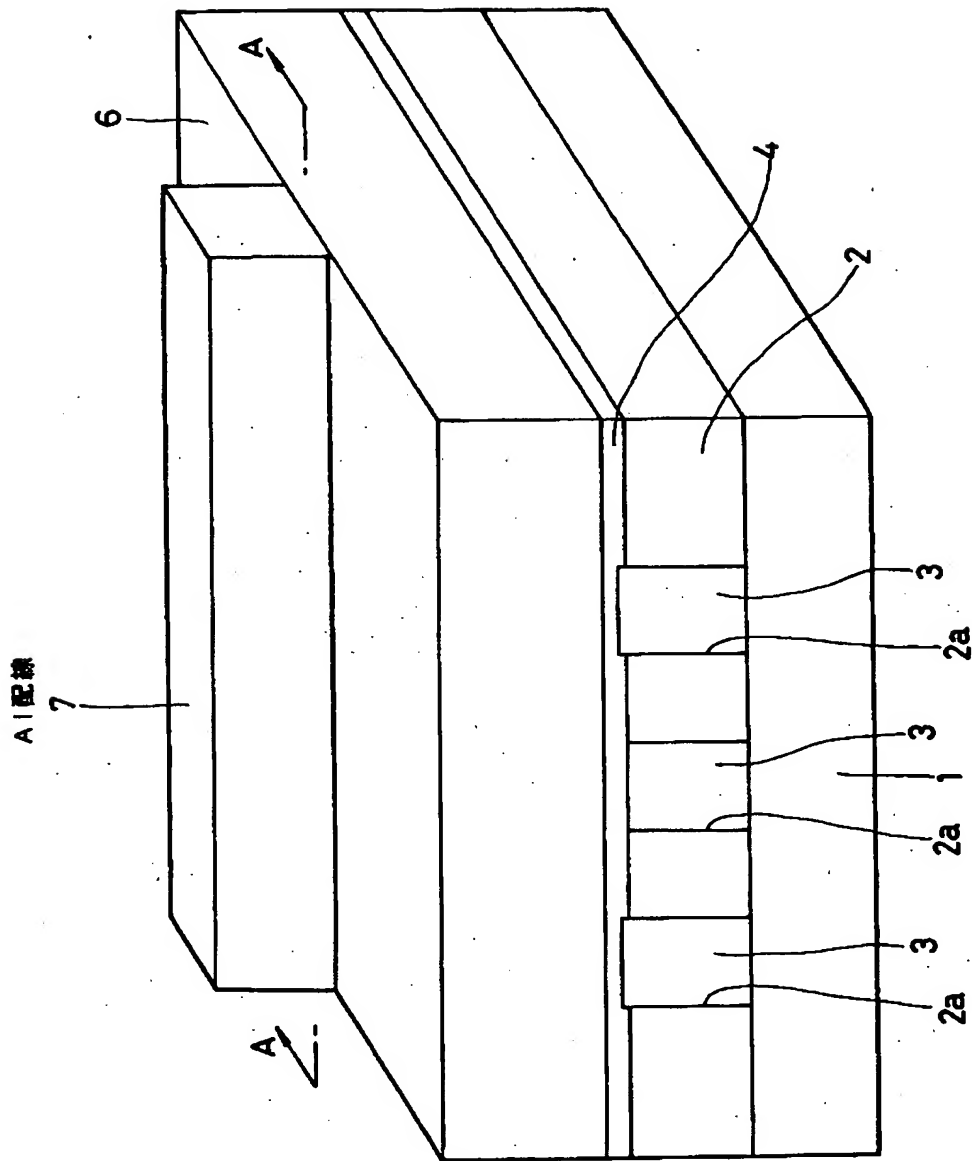
【図 3】



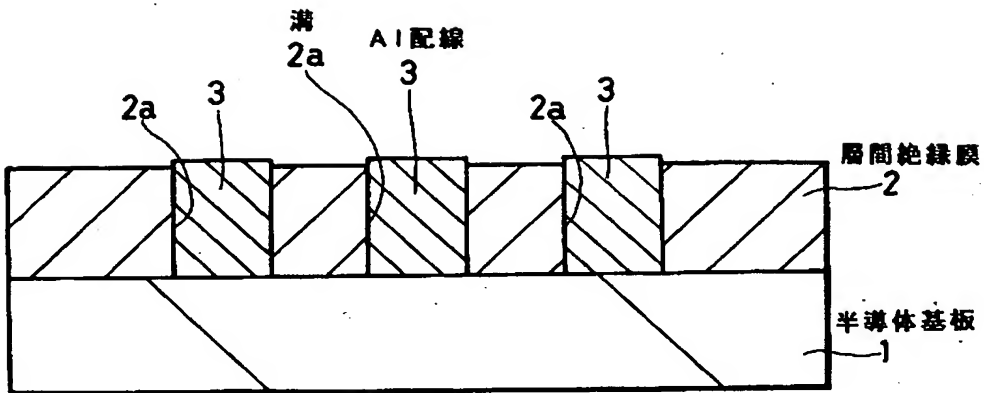
【図 4】



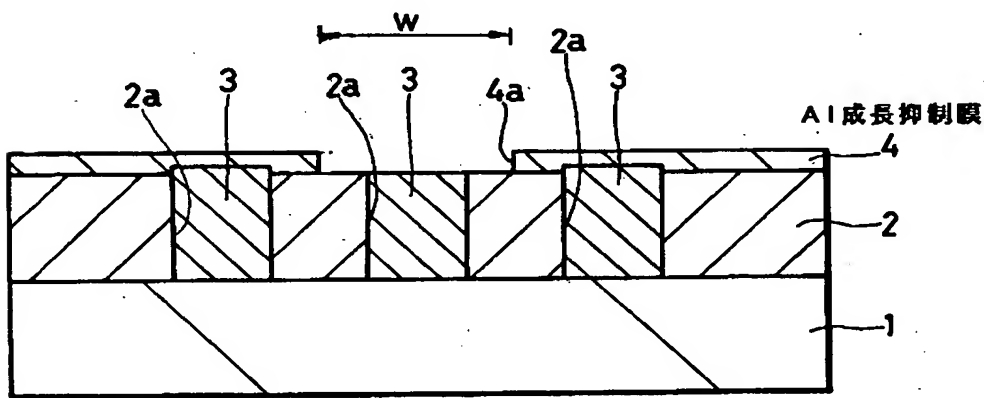
【図 5】



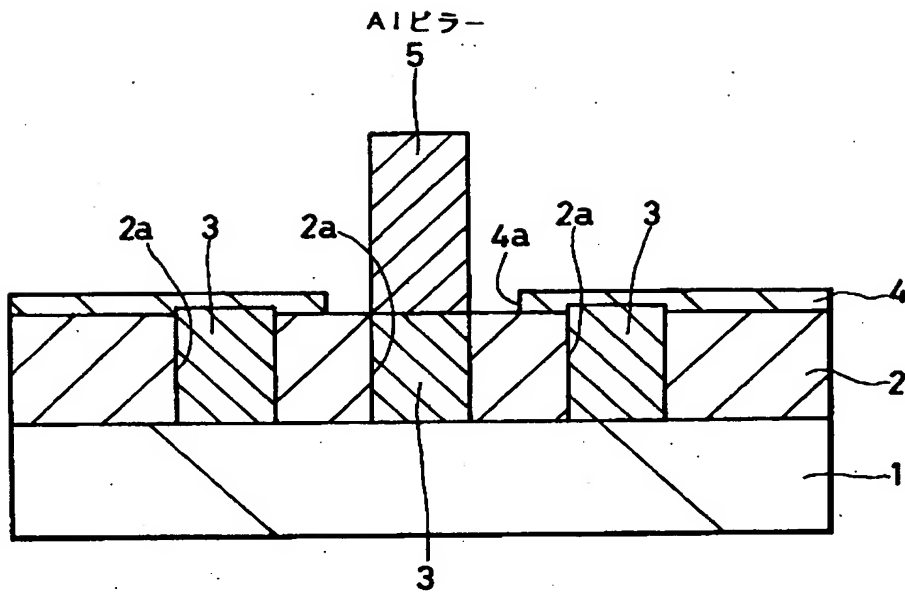
【図6】



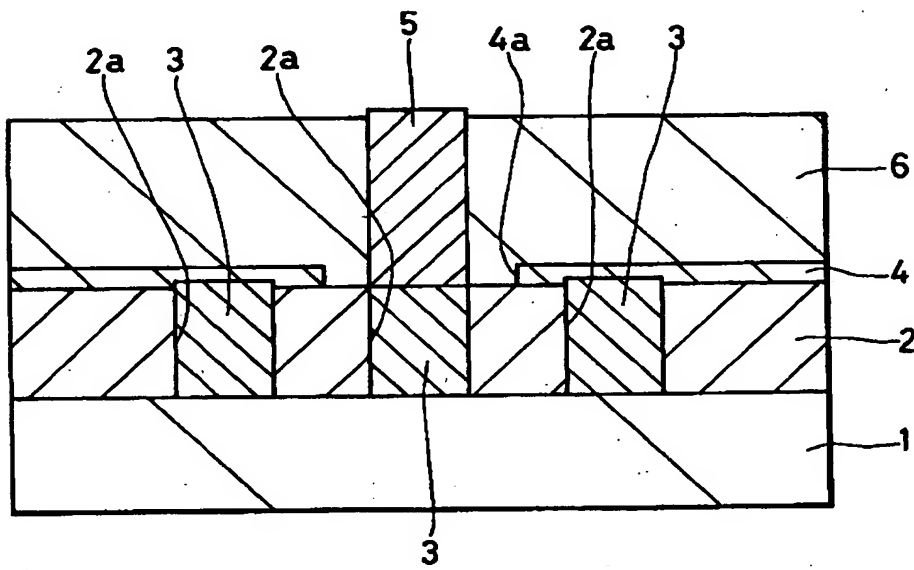
【図7】



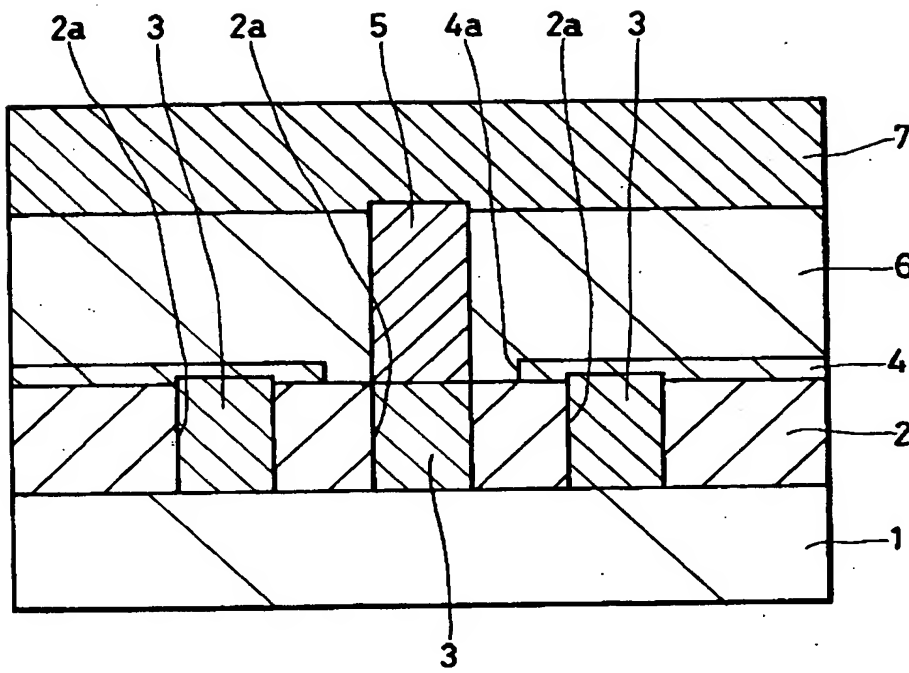
【図8】



【図9】



【図10】



【書類名】 要約書

【要約】

【課題】 半導体装置の配線工程の歩留まりおよび信頼性の向上を図る。

【解決手段】 層間絶縁膜 2 に形成された溝 2 a に埋め込まれた下層の A 1 配線 3 上に接続柱 5 を介して上層の A 1 配線を接続する場合に、層間絶縁膜 2 および A 1 配線 3 上にこの A 1 配線 3 よりも幅が広い開口部 4 a を有する成長抑制膜 4 を形成し、この状態で選択 C V D 法等により A 1 等を成長させることにより、開口部 4 a の内部における A 1 配線 3 上に接続柱 5 を A 1 配線 3 に対して自己整合的に形成する。

【選択図】 図 8

出 願 人 履 歴 情 報

識別番号

[000002185]

1. 変更年月日

1990年 8月30日

[変更理由]

新規登録

住 所

東京都品川区北品川6丁目7番35号

氏 名

ソニー株式会社